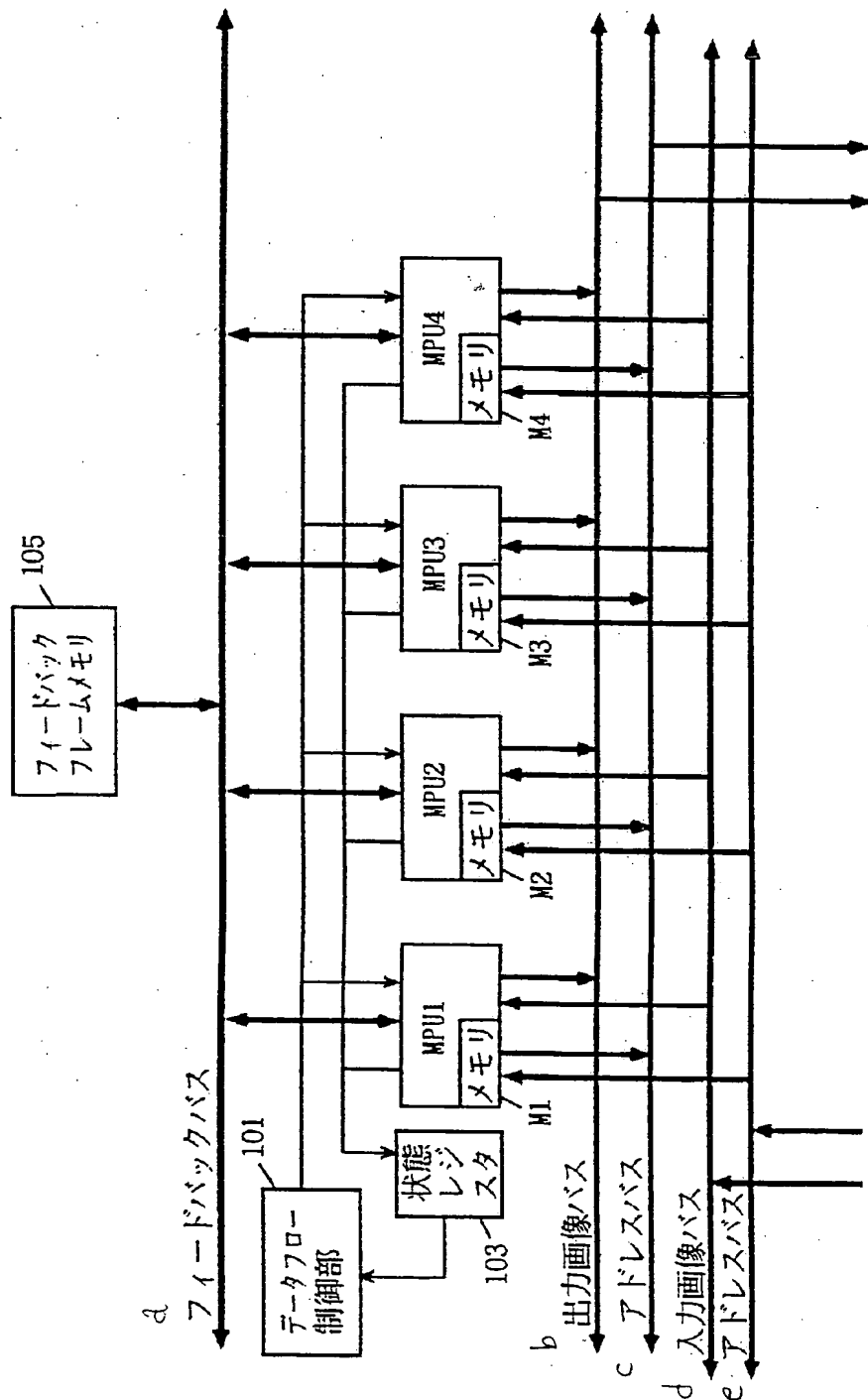


【書類名】 図面 document name drawings

【図1】 Fig. 1 (see attached sheet)



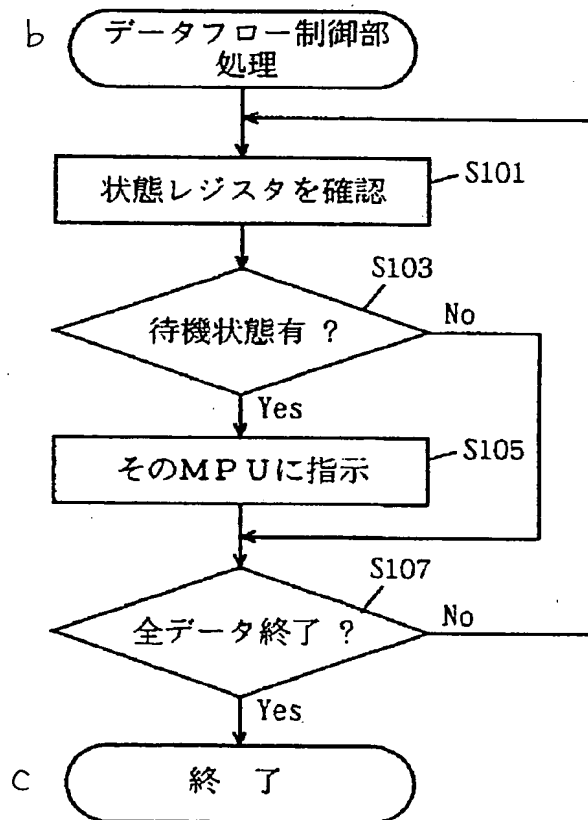
【図2】 Fig. 2 (see attached sheet)

d  
状態レジスタ例

	b 待機	c 入力	d 処理	e 処理終了	f 出力
MPU1	0	1	0	0	0
MPU2	1	0	0	0	0
MPU3	0	0	1	0	0
MPU4	0	0	0	0	1

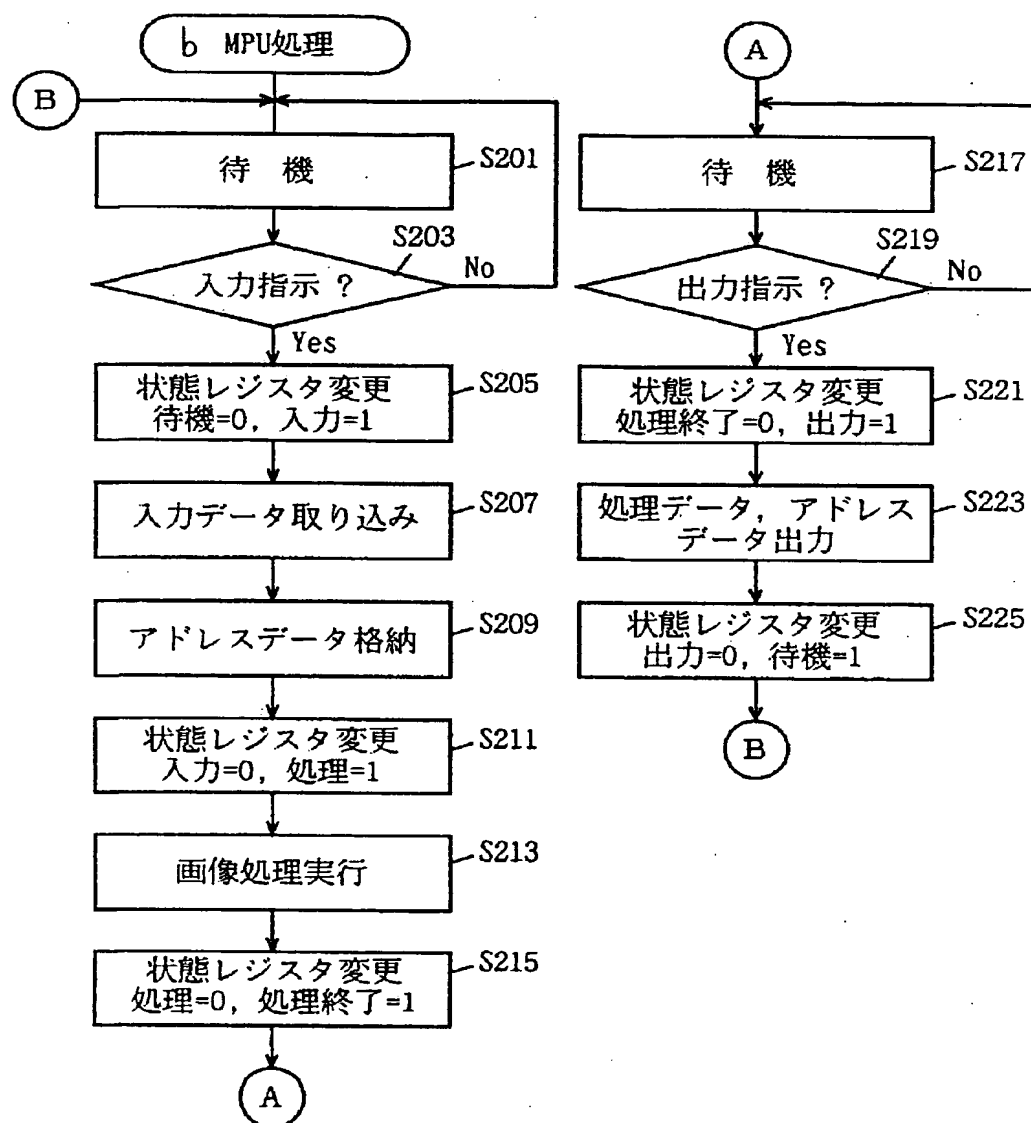
【図3】 Fig. 3 (see attached sheet)

d データフロー制御部処理フロー

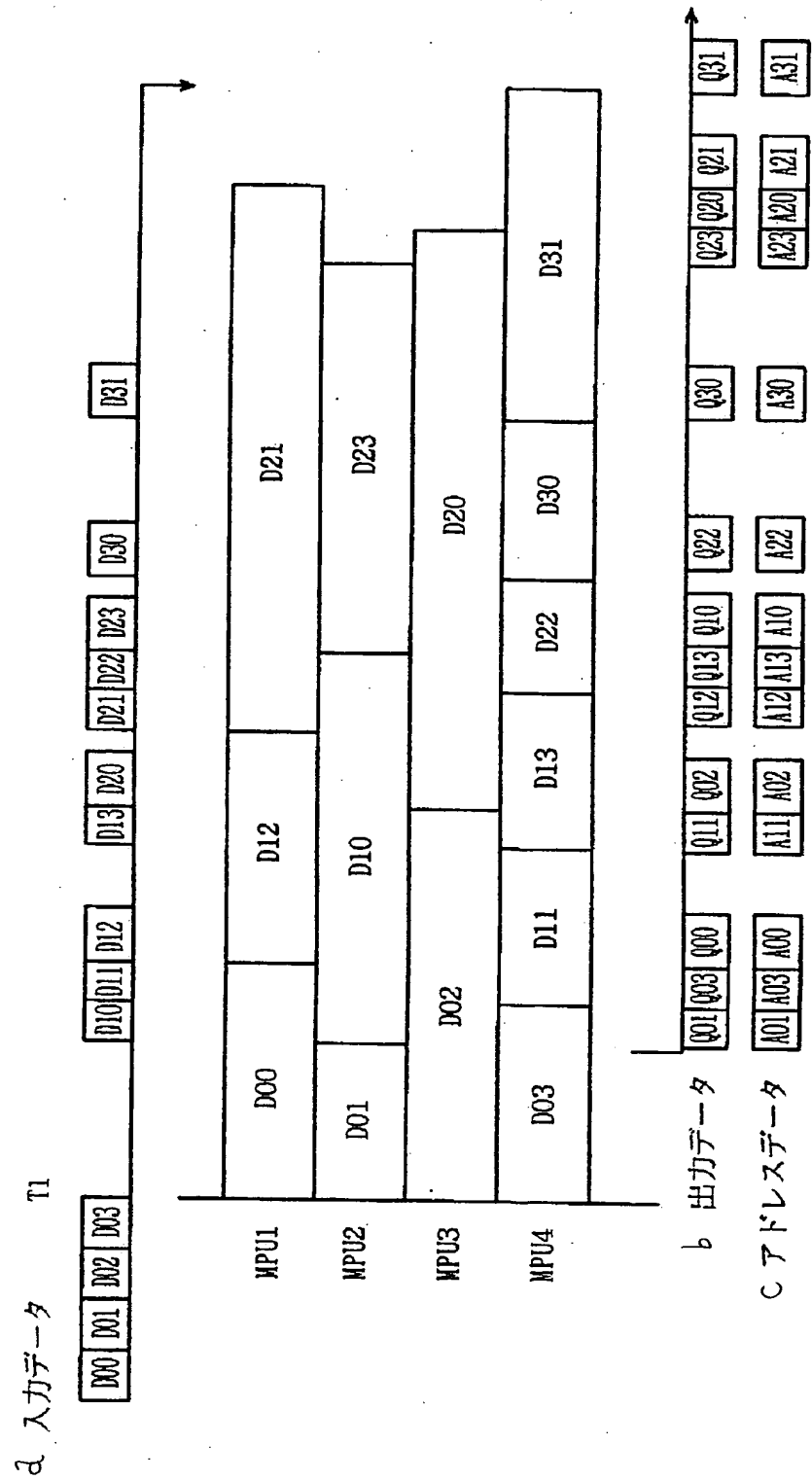


【図4】 Fig. 4 (see attached sheet)

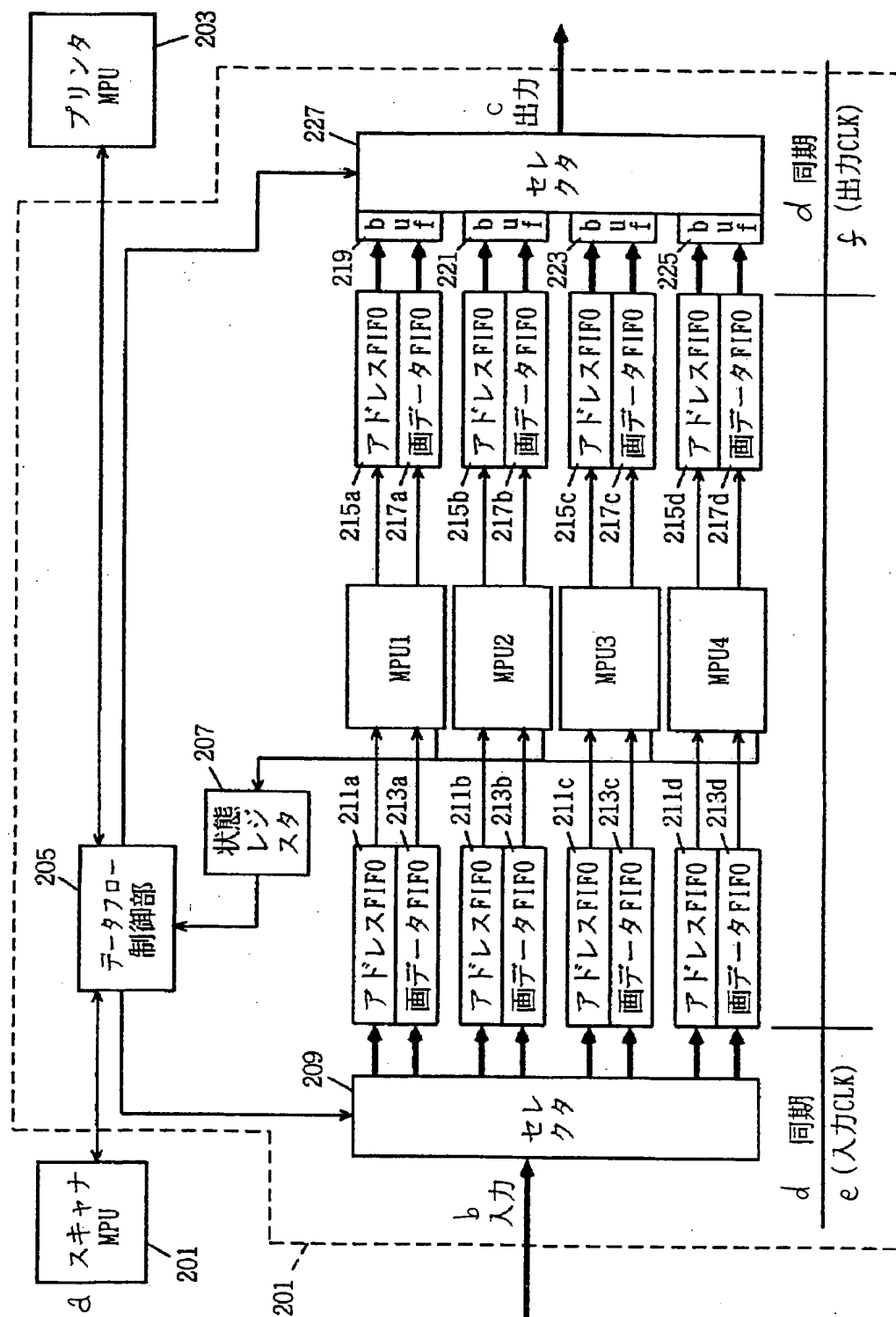
d MPU処理フロー



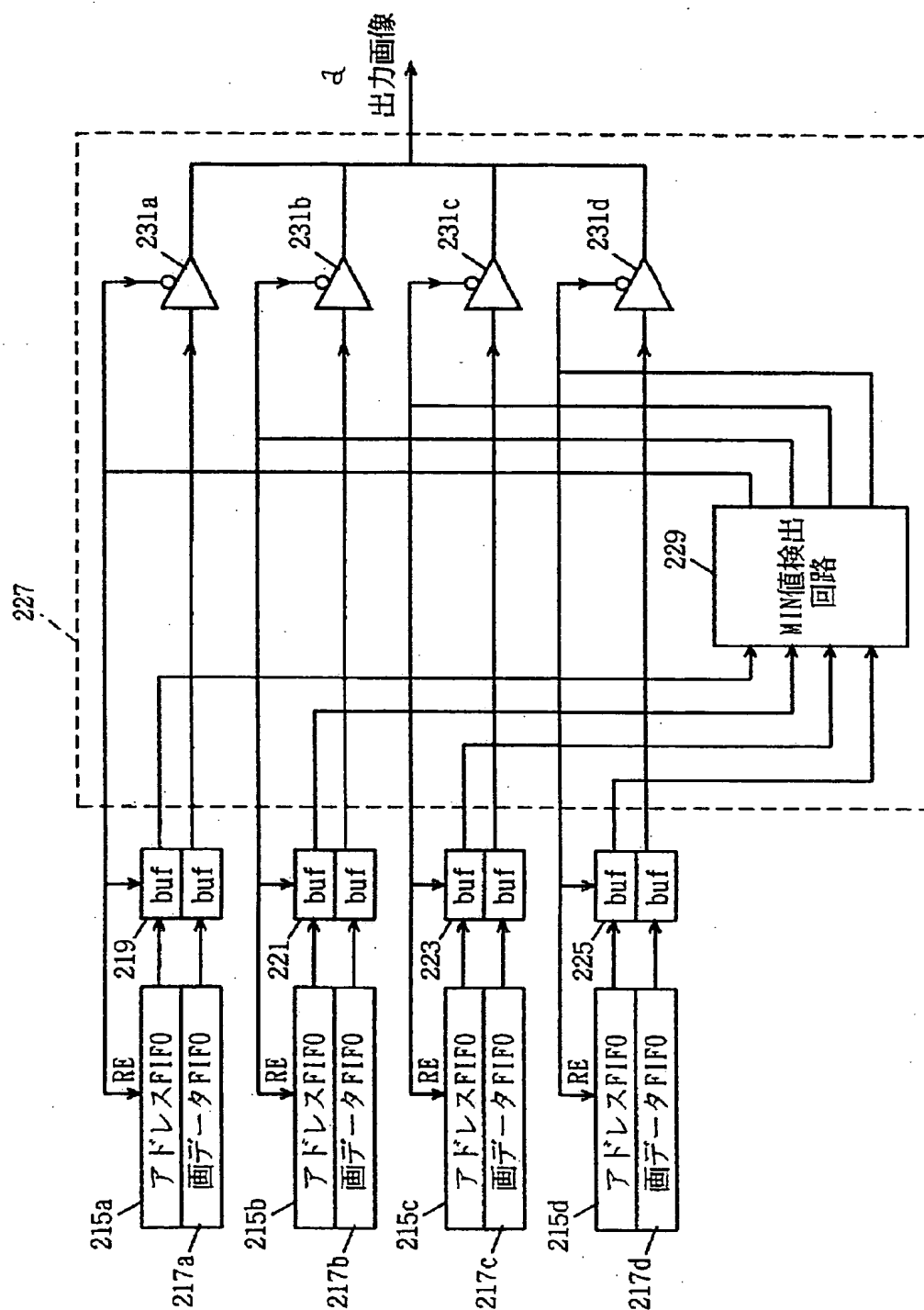
【図5】 Fig. 5 (see attached sheet)



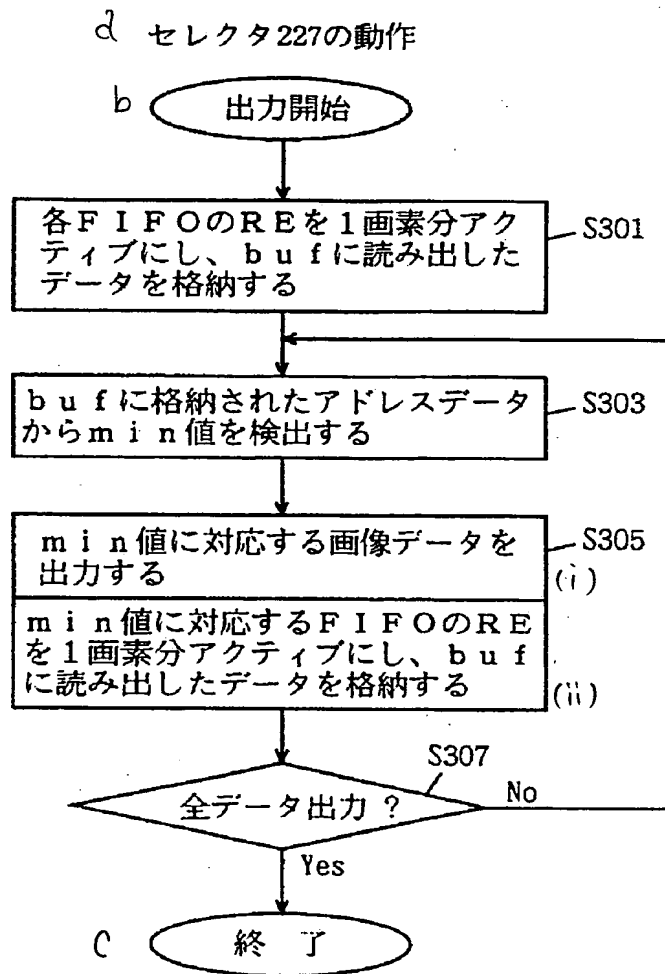
【図 6】 Fig. 6 (see attached sheet)



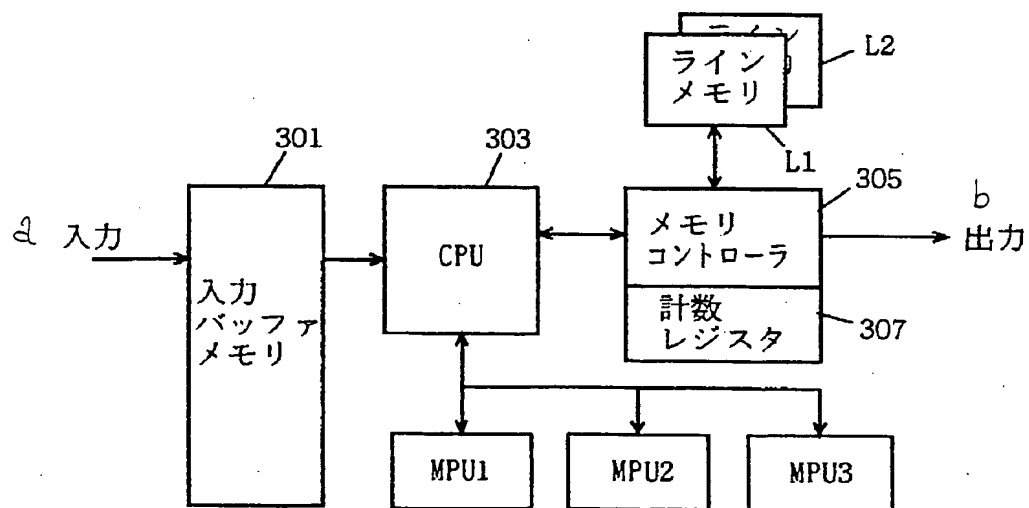
【図7】 Fig. 7 (see attached sheet)



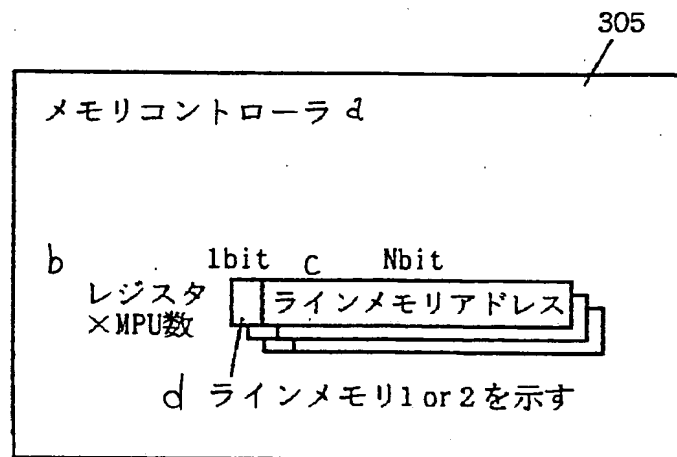
【図8】 Fig. 8 (see attached sheet)



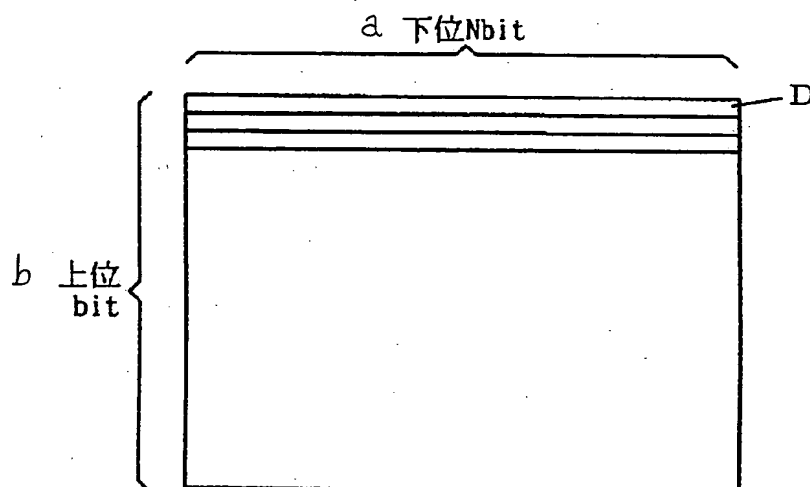
【図9】 Fig. 9 (see attached sheet)



【図10】 Fig. 10 (see attached sheet)

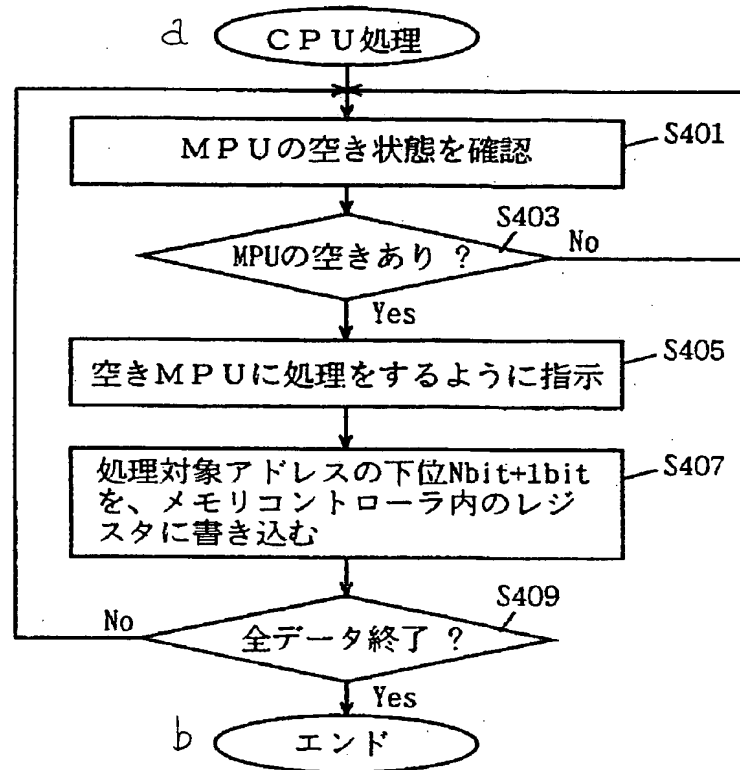


【図11】 Fig. 11 (see attached sheet)

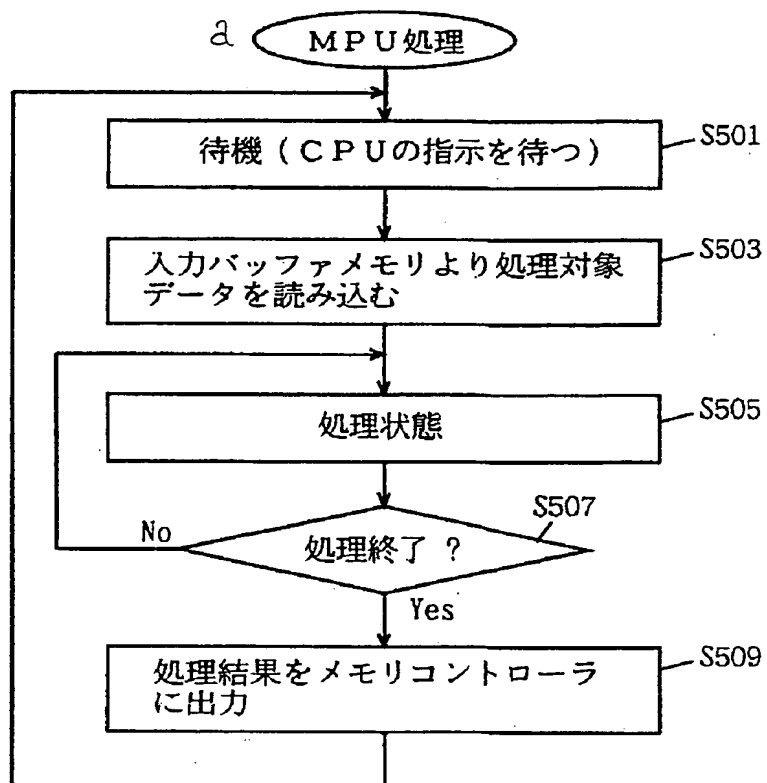




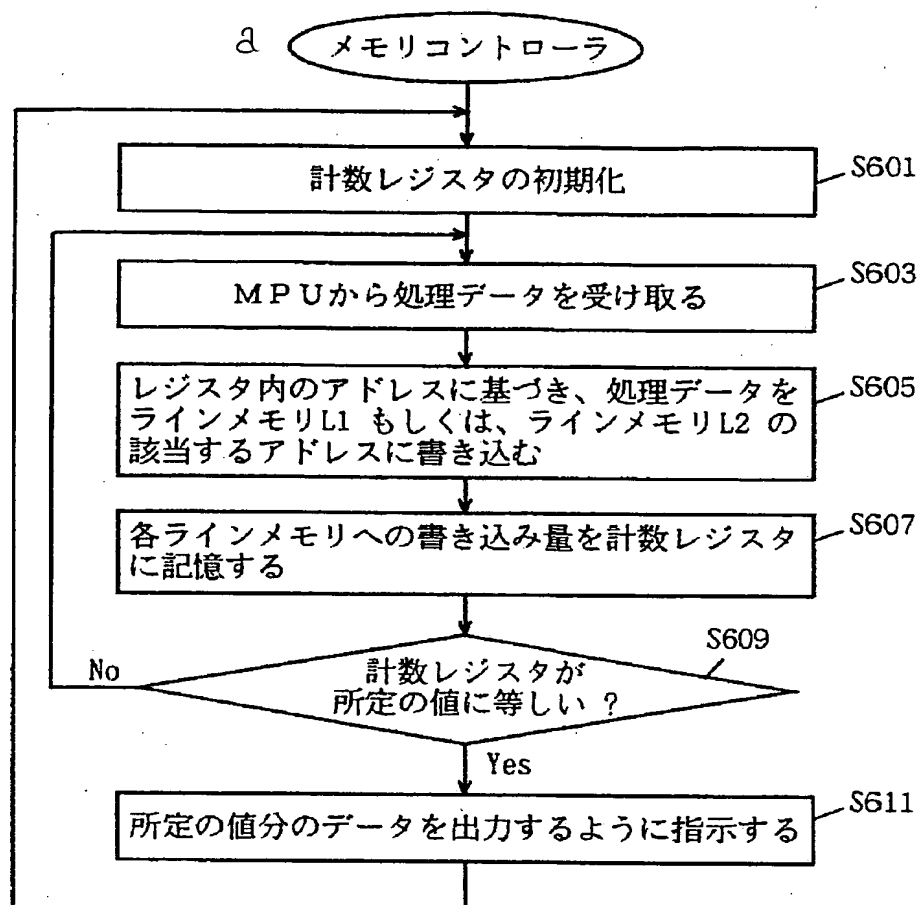
【図12】 Fig. 12 (see attached sheet)



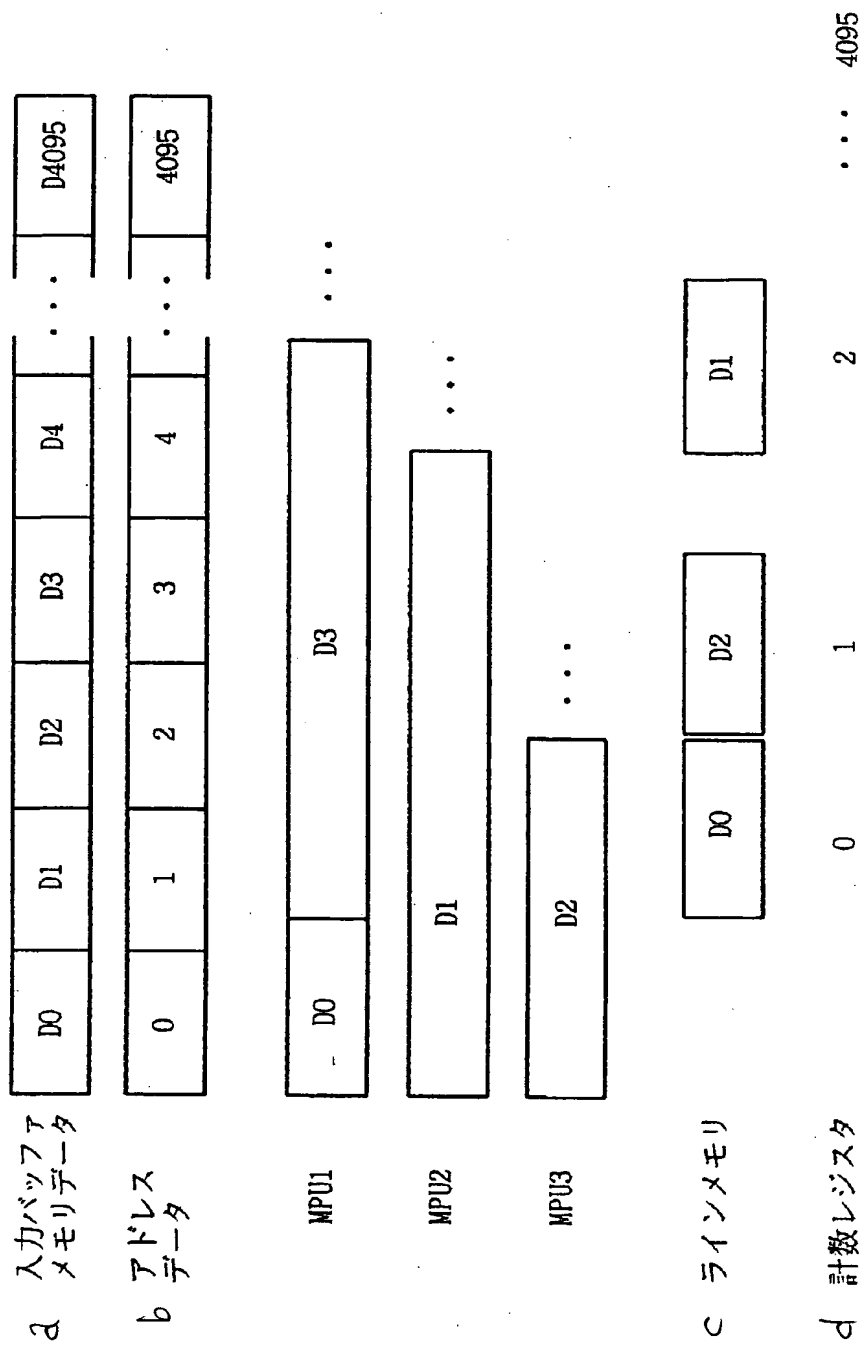
【図13】 Fig. 13 (see attached sheet)



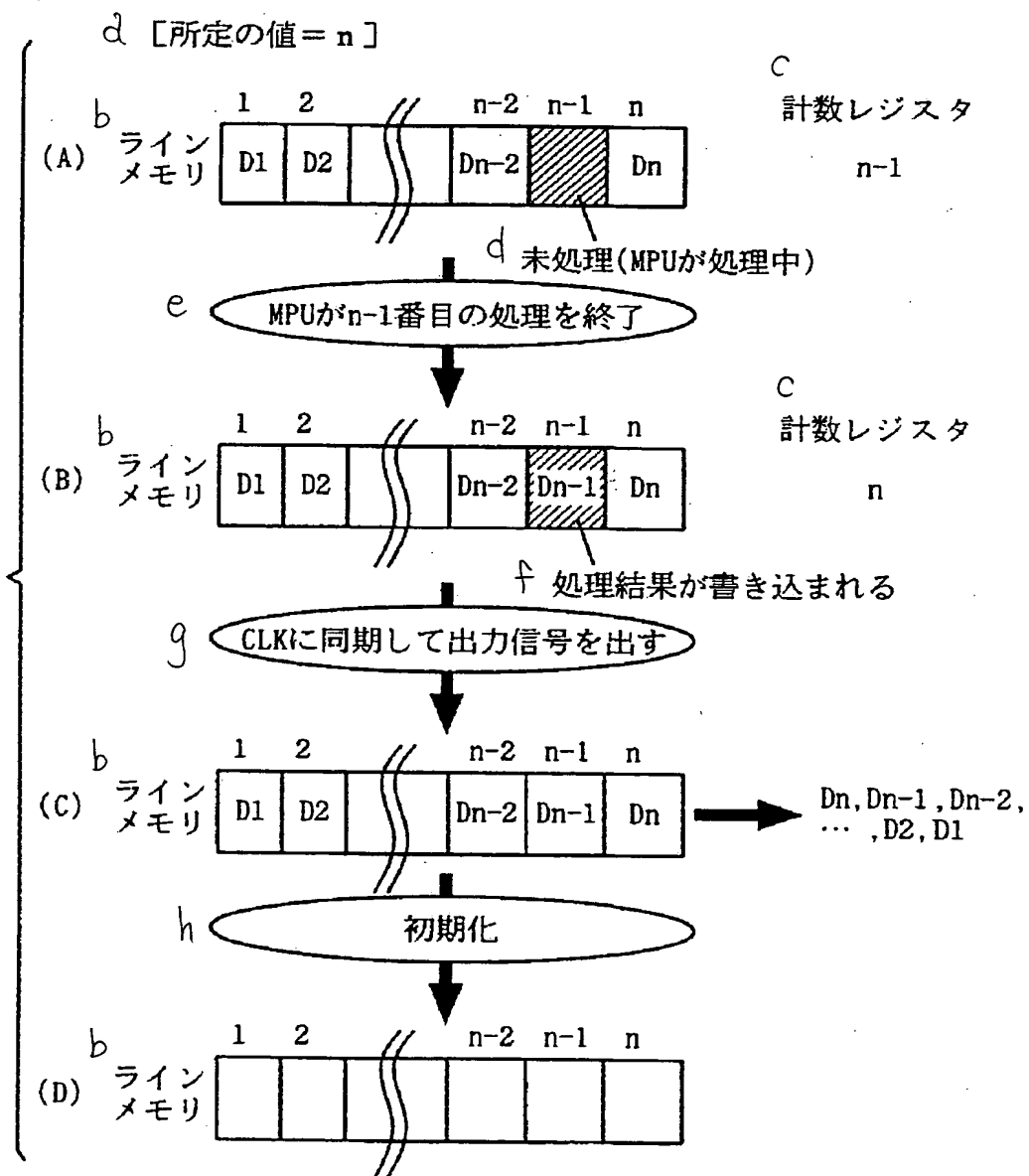
【図14】 Fig. 14 (see attached sheet)



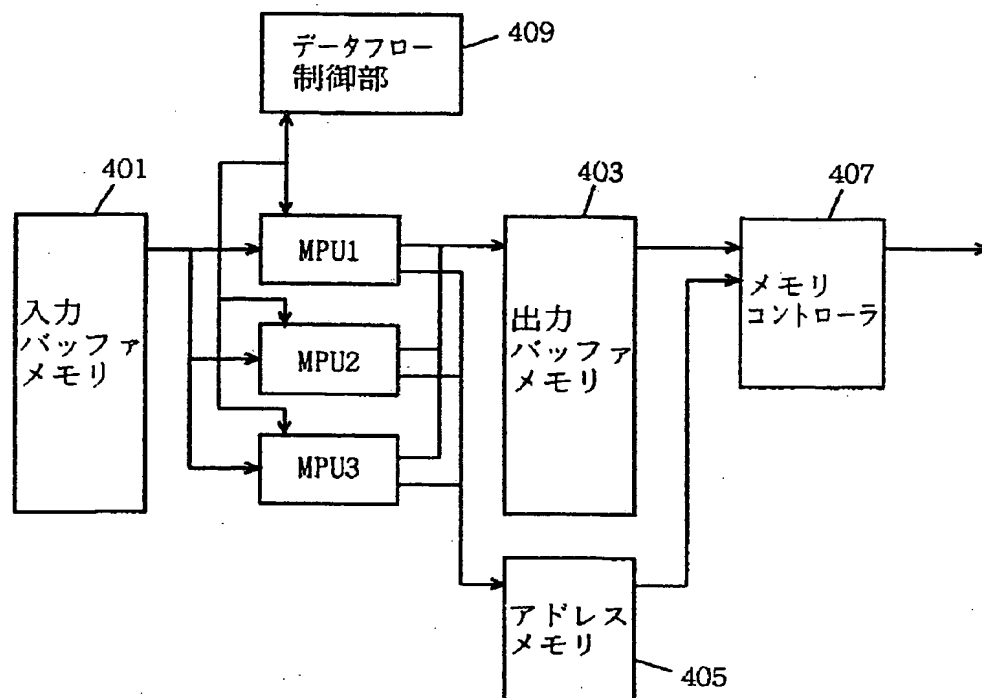
【図15】 Fig. 15 (see attached sheet)



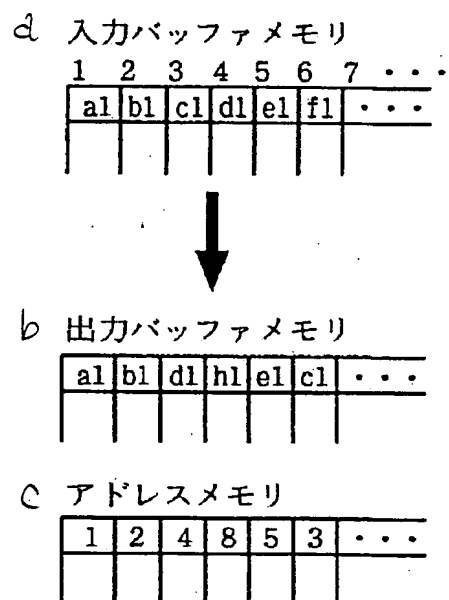
【図16】 Fig. 16 (see attached sheet)



【図17】 Fig. 17 (see attached sheet)

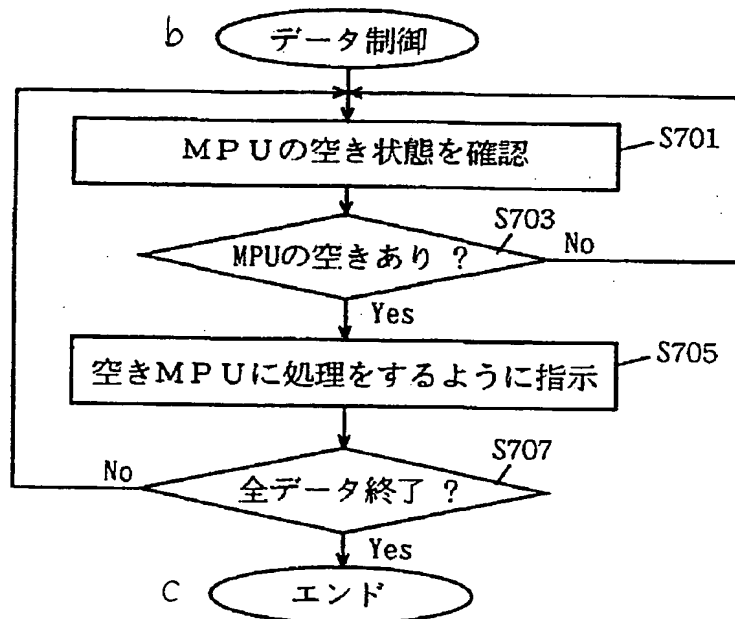


【図18】 Fig. 18 (see attached sheet)



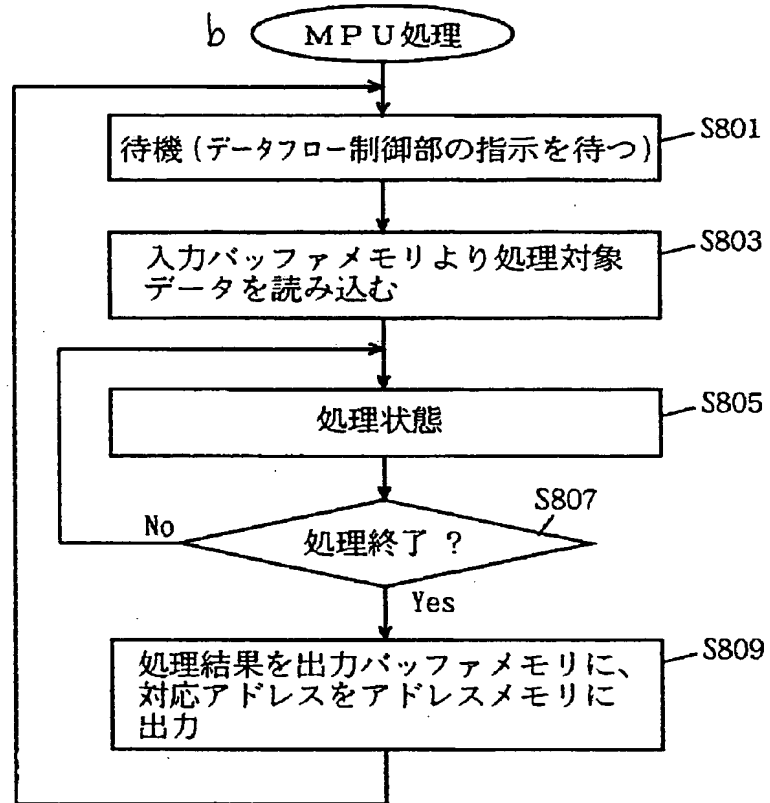
【図19】 Fig. 19 (see attached sheet)

d [データフロー制御部]



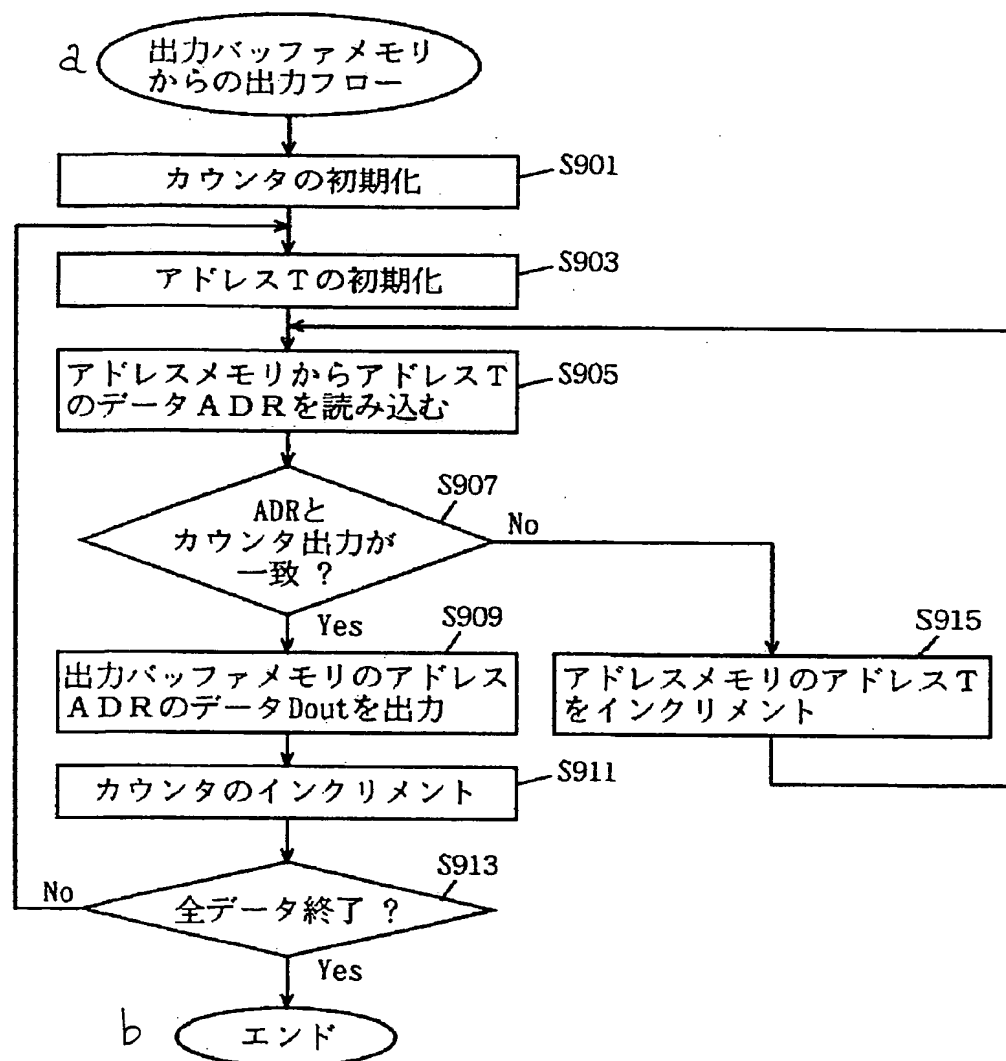
【図20】 Fig. 20 (see attached sheet)

d [MPU処理フロー]

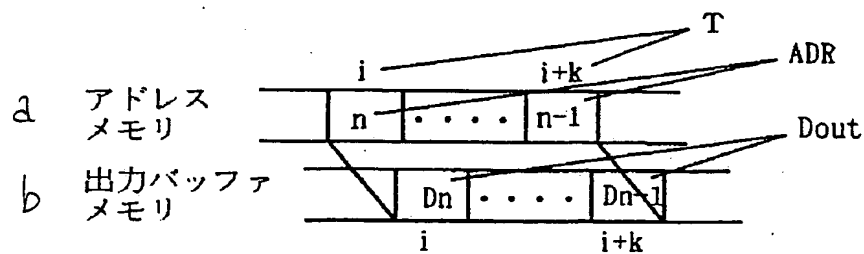




【図21】 Fig. 21 (see attached sheet)



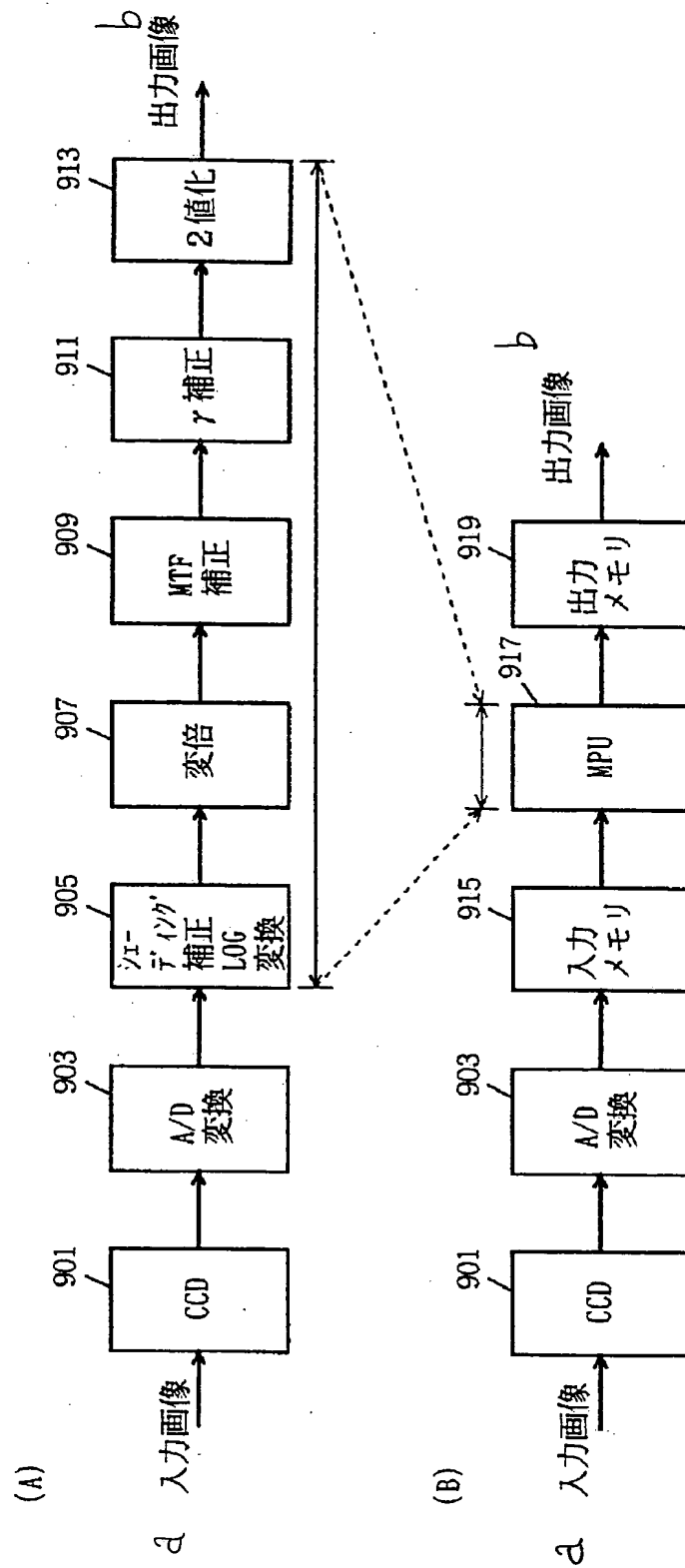
【図22】 Fig. 22 (see attached sheet)



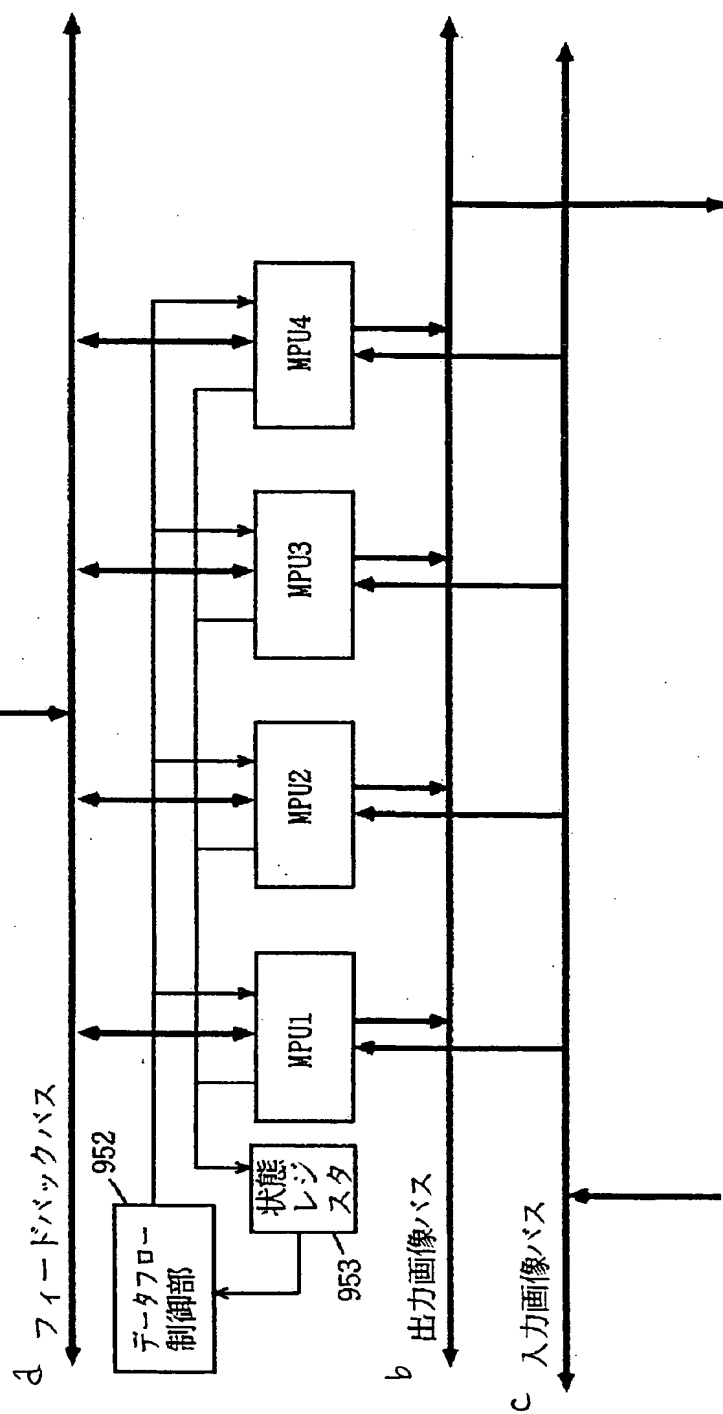
- c アドレスメモリから $n-1$ を探す  
 ↓  
 d 出力バッファメモリから $n-1$ のアドレス $i+k$ のデータ $D_{n-1}$ を出力する  
 ↓  
 e アドレスメモリから $n$ を探す  
 ↓  
 f 出力バッファメモリから $n$ のアドレス $i$ のデータ $D_n$ を出力する

g 出力データ     $\dots D_{n-1} \quad D_n \dots$

【図23】 Fig. 23 (see attached sheet)



【図24】 Fig. 24 (see attached sheet)



【図 25】 Fig. 25

L1 ↓	L2 ↓	L3 ↓	L4 ↓
D00	D01	D02	D03
D10	D11	D12	D13
D20	D21	D22	D23
D30	D31	D32	D33
D40	D41	D42	D43
D50	D51	D52	D53

【図26】 Fig. 26 (see attached sheet)

